

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月 4日

出 願 番 号
Application Number:

特願2002-195406

[ST.10/C]:

[JP 2002-195406]

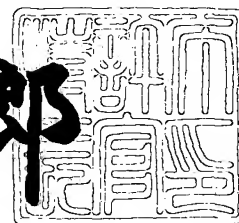
出 願 人
Applicant(s):

株式会社リコー

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030889

【書類名】 特許願

【整理番号】 184005

【提出日】 平成14年 7月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/28

【発明の名称】 電源回路

【請求項の数】 10

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 松尾 正浩

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 新田 昇一

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 野村 律子

【特許出願人】

 【識別番号】 000006747

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路

【特許請求の範囲】

【請求項 1】 直流電源から入力される入力電圧から所定の定電圧を生成して出力端子から出力する電源回路において、

所定の基準電圧を生成して出力する基準電圧発生回路部と、

前記出力端子からの出力電圧を分圧して出力する分圧回路部と、

該分圧回路部から出力される分圧電圧が前記基準電圧になるように、前記入力電圧から定電圧を生成して前記出力端子に出力する電圧制御回路部と、
を備え、

前記分圧回路部は、外部から入力される信号に応じて分圧比を変えることを特徴とする電源回路。

【請求項 2】 前記分圧回路部は、

前記出力端子と前記分圧電圧を出力する出力端との間に直列に接続された複数の抵抗からなる第 1 の抵抗回路と、

入力される制御信号に応じて該第 1 の抵抗回路における少なくとも 1 つの抵抗を短絡する第 1 のスイッチ回路と、

複数の抵抗からなる第 2 の抵抗回路と、

入力される制御信号に応じて該第 2 の抵抗回路における少なくとも 1 つの抵抗を、前記分圧電圧を出力する出力端と前記直流電源の負側電源端子との間に並列に接続する第 2 のスイッチ回路と、

外部から入力される制御信号に応じて前記第 1 及び第 2 の各スイッチ回路の動作制御を行って分圧比を切り換える切換制御回路と、
を備えることを特徴とする請求項 1 記載の電源回路。

【請求項 3】 前記分圧回路部は、

複数の抵抗からなる第 1 の抵抗回路と、

入力される制御信号に応じて該第 1 の抵抗回路における少なくとも 1 つの抵抗を、前記出力端子と前記分圧電圧を出力する出力端との間に並列に接続する第 1 のスイッチ回路と、

前記分圧電圧を出力する出力端と前記直流電源の負側電源端子との間に直列に接続された複数の抵抗からなる第 2 の抵抗回路と、

入力される制御信号に応じて該第 2 の抵抗回路における少なくとも 1 つの抵抗を短絡する第 2 のスイッチ回路と、

外部から入力される制御信号に応じて前記第 1 及び第 2 の各スイッチ回路の動作制御を行って分圧比を切り換える切換制御回路と、
を備えることを特徴とする請求項 1 記載の電源回路。

【請求項 4】 前記電圧制御回路部は、

入力される制御信号に応じて、前記直流電源からの入力電圧を出力するスイッチングを行うスイッチングトランジスタと、

前記基準電圧に対する前記分圧回路部からの分圧電圧の誤差を増幅する誤差増幅器と、

該誤差増幅器からの出力信号に応じて前記スイッチングトランジスタのスイッチング制御を行う制御回路部と、

前記スイッチングトランジスタからの出力信号を平滑して前記出力端子に出力する平滑回路部と、

を備えることを特徴とする請求項 1、2 又は 3 記載の電源回路。

【請求項 5】 前記基準電圧発生回路部、分圧回路部、誤差増幅器及び制御回路部は、1 つの IC に集積されることを特徴とする請求項 4 記載の電源回路。

【請求項 6】 前記基準電圧発生回路部、分圧回路部、スイッチングトランジスタ、誤差増幅器及び制御回路部は、1 つの IC に集積されることを特徴とする請求項 4 記載の電源回路。

【請求項 7】 前記平滑回路部は、制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、該トランジスタ、前記基準電圧発生回路部、分圧回路部、スイッチングトランジスタ、誤差増幅器及び制御回路部は、1 つの IC に集積されることを特徴とする請求項 4 記載の電源回路。

【請求項 8】 前記電圧制御回路部は、

入力される制御信号に応じて、前記直流電源から供給される電流の出力制御を

行う出力制御用トランジスタと、

前記分圧回路部からの分圧電圧が前記基準電圧になるように該出力制御用トランジスタの動作制御を行う誤差増幅器と、

を備えることを特徴とする請求項 1、2 又は 3 記載の電源回路。

【請求項 9】 前記基準電圧発生回路部、分圧回路部及び誤差増幅器は、1 つの IC に集積されることを特徴とする請求項 8 記載の電源回路。

【請求項 10】 前記基準電圧発生回路部、分圧回路部及び電圧制御回路部は、1 つの IC に集積されることを特徴とする請求項 8 記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯電話等に使用される電源回路に関し、特にスイッチングレギュレータやシリーズレギュレータといった DC-DC コンバータで構成された電源回路に関する。

【0002】

【従来の技術】

従来の電源回路では、通常、負荷側が要求する電圧値を出力する DC-DC コンバータを電源供給側として使用していた。図 10 で示すように、従来の電源回路は、DC-DC コンバータの出力電圧 V_o を帰還させ、該出力電圧 V_o を分圧回路 101 で分圧して得られた分圧電圧 V_d と所定の基準電圧 V_r とを比較する手法を行っていた。

【0003】

【発明が解決しようとする課題】

しかし近年、負荷側の要求電圧値は低電圧化する傾向にあり、DC-DC コンバータの出力電圧値の変更が求められる場合があった。また、電源回路を組み込んだ後に、負荷側の部品の変更によって、該電源回路から供給する電圧値が変更された場合等には、新たに電源回路を組み換える必要があった。

【0004】

本発明は、上記のような問題を解決するためになされたものであり、電源回路

自体の消費電力を低減させることができ、複数の出力電圧値を外部から選択することができる構成にしたことにより、負荷側が要求する電源電圧値が変更になった場合でも電源回路を変更することなく、出力電圧値を選ぶことができるDC-DCコンバータで構成された電源回路を得ることを目的とする。

【0005】

【課題を解決するための手段】

この発明に係る電源回路は、直流電源から入力される入力電圧から所定の定電圧を生成して出力端子から出力する電源回路において、

所定の基準電圧を生成して出力する基準電圧発生回路部と、

前記出力端子からの出力電圧を分圧して出力する分圧回路部と、

該分圧回路部から出力される分圧電圧が前記基準電圧になるように、前記入力電圧から定電圧を生成して前記出力端子に出力する電圧制御回路部と、
を備え、

前記分圧回路部は、外部から入力される信号に応じて分圧比を変えるようにしたものである。

【0006】

具体的には、前記分圧回路部は、

前記出力端子と前記分圧電圧を出力する出力端との間に直列に接続された複数の抵抗からなる第1の抵抗回路と、

入力される制御信号に応じて該第1の抵抗回路における少なくとも1つの抵抗を短絡する第1のスイッチ回路と、

複数の抵抗からなる第2の抵抗回路と、

入力される制御信号に応じて該第2の抵抗回路における少なくとも1つの抵抗を、前記分圧電圧を出力する出力端と前記直流電源の負側電源端子との間に並列に接続する第2のスイッチ回路と、

外部から入力される制御信号に応じて前記第1及び第2の各スイッチ回路の動作制御を行って分圧比を切り換える切換制御回路と、
を備えるようにした。

【0007】

また、前記分圧回路部は、

複数の抵抗からなる第 1 の抵抗回路と、

入力される制御信号に応じて該第 1 の抵抗回路における少なくとも 1 つの抵抗を、前記出力端子と前記分圧電圧を出力する出力端との間に並列に接続する第 1 のスイッチ回路と、

前記分圧電圧を出力する出力端と前記直流電源の負側電源端子との間に直列に接続された複数の抵抗からなる第 2 の抵抗回路と、

入力される制御信号に応じて該第 2 の抵抗回路における少なくとも 1 つの抵抗を短絡する第 2 のスイッチ回路と、

外部から入力される制御信号に応じて前記第 1 及び第 2 の各スイッチ回路の動作制御を行って分圧比を切り換える切換制御回路と、
を備えるようにしてもよい。

【 0 0 0 8 】

また具体的には、前記電圧制御回路部は、

入力される制御信号に応じて、前記直流電源からの入力電圧を出力するスイッチングを行うスイッチングトランジスタと、

前記基準電圧に対する前記分圧回路部からの分圧電圧の誤差を増幅する誤差増幅器と、

該誤差増幅器からの出力信号に応じて前記スイッチングトランジスタのスイッチング制御を行う制御回路部と、

前記スイッチングトランジスタからの出力信号を平滑して前記出力端子に出力する平滑回路部と、
を備えるようにした。

【 0 0 0 9 】

この場合、前記基準電圧発生回路部、分圧回路部、誤差増幅器及び制御回路部を 1 つの IC に集積するようにしてもよいし、前記基準電圧発生回路部、分圧回路部、スイッチングトランジスタ、誤差増幅器及び制御回路部を 1 つの IC に集積するようにしてもよい。

【 0 0 1 0 】

また、前記平滑回路部は、制御回路部によって動作制御されフライホイールダイオードと同様の働きを行うトランジスタを備え、該トランジスタ、前記基準電圧発生回路部、分圧回路部、スイッチングトランジスタ、誤差増幅器及び制御回路部を1つのICに集積するようにしてもよい。

【0011】

一方、前記電圧制御回路部は、

入力される制御信号に応じて、前記直流電源から供給される電流の出力制御を行う出力制御用トランジスタと、

前記分圧回路部からの分圧電圧が前記基準電圧になるように該出力制御用トランジスタの動作制御を行う誤差増幅器と、
を備えるようにしてもよい。

【0012】

この場合、前記基準電圧発生回路部、分圧回路部及び誤差増幅器を1つのICに集積するようにしてもよいし、前記基準電圧発生回路部、分圧回路部及び電圧制御回路部を1つのICに集積するようにしてもよい。

【0013】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態.

図1は、本発明の第1の実施の形態における電源回路の例を示した回路図である。なお、図1では、スイッチングレギュレータからなるDC-DCコンバータで形成されている場合を例にして示している。

図1において、電源回路1は、電池等の直流電源10から入力される電圧 V_{bat} を出力するスイッチングを行うPチャネル型MOSトランジスタ（以下、PMOSトランジスタと呼ぶ）からなるスイッチングトランジスタ2と、該スイッチングトランジスタ2からの出力信号を平滑して出力端子OUTに出力する平滑回路部3とを備えている。

【0014】

更に、電源回路1は、所定の基準電圧 V_r を生成して出力する基準電圧発生回

路部4と、出力端子OUTから出力される電圧 V_o を分圧して分圧電圧 V_d を生成し出力する分圧回路部5と、基準電圧 V_r に対する分圧電圧 V_d の誤差を増幅して出力する誤差増幅器6と、該誤差増幅器6からの出力信号に応じて前記スイッチングトランジスタ2のスイッチング制御を行う制御回路部7とを備えている。

【0015】

出力電圧 V_o は分圧回路部5で分圧され、該分圧電圧 V_d と基準電圧 V_r との差電圧を誤差増幅器6で増幅する。制御回路部7は、例えば三角波のパルス信号を発生させる発振回路とコンパレータとを備え、該発振回路の出力信号と誤差増幅器6の出力信号の各電圧を該コンパレータで比較し、コンパレータは、該比較結果に応じてスイッチングトランジスタ2のオン時間を制御する。スイッチングトランジスタ2から出力された信号は、フライホイールダイオードをなすダイオードD1、コイルL1及びコンデンサC1からなる平滑回路部3で平滑されて出力電圧 V_o として出力される。

【0016】

ここで、分圧回路部5は、入力される制御信号に応じて分圧比を切り換えて分圧電圧 V_d を生成し出力する分圧回路11と、外部から入力される電圧切換信号Scに応じて該分圧回路11の分圧比の切換制御を行う切換制御回路12とを備えている。

【0017】

図2は、分圧回路部5の回路例を示した図であり、図2を用いて分圧回路部5の動作例についてもう少し詳細に説明する。

図2において、分圧回路11は、直列に接続された n 個の抵抗 $RA_1 \sim RA_n$ 、 n 個の抵抗 $RB_1 \sim RB_n$ 、 $(n-1)$ 個のPMOSトランジスタ $QP_1 \sim QP_{n-1}$ 、 n 個のNチャネル型MOSトランジスタ（以下、NMOSトランジスタと呼ぶ） $QN_1 \sim QN_n$ 及びコンデンサ16で構成されている。なお、図2では、抵抗 $RA_1 \sim RA_n$ が第1の抵抗回路をなし、抵抗 $RB_1 \sim RB_n$ は第2の抵抗回路をなすと共に、PMOSトランジスタ $QP_1 \sim QP_{n-1}$ が第1のスイッチ回路をなし、NMOSトランジスタ $QN_1 \sim QN_n$ が第2のスイッチ回路を

なす。

【0018】

出力端子OUTと分圧回路11の出力端15との間には抵抗RA1～RAnが直列に接続されており、抵抗RA1～RAn-1には、対応するPMOSトランジスタQP1～QPn-1がそれぞれ並列に接続されている。PMOSトランジスタQP1～QPn-1の各ゲートには、切換制御回路12からの制御信号SP1～SPn-1が対応して入力されている。また、出力端子OUTと出力端15との間にはコンデンサ16が接続されている。更に、出力端15と接地電圧との間には、抵抗RB1～RBnにNMOSトランジスタQN1～QNnが対応して直列に接続されてなる各直列回路がそれぞれ並列に接続されている。NMOSトランジスタQN1～QNnの各ゲートには、切換制御回路12からの制御信号SP1～SPnが対応して入力されている。

【0019】

切換制御回路12は、外部から入力された電圧切換信号Scに応じて制御信号SP1～SPnのいずれか1つだけハイレベルにして、他の制御信号はすべてローレベルにする。例えば制御信号SPm (m=1～n-1) がハイレベルになってその他の制御信号がそれぞれローレベルになった場合、PMOSトランジスタQP1～QPn-1の内、PMOSトランジスタQPmのみオフして遮断状態になると共に他のPMOSトランジスタはそれぞれオンして導通状態になる。同時に、NMOSトランジスタQN1～QNnの内、NMOSトランジスタQNmのみオンして導通状態になると共に他のNMOSトランジスタはそれぞれオフして遮断状態になる。このため、出力端子OUTと出力端15との間には抵抗RAm及びRAnが直列に接続され、出力端15と接地電圧との間に抵抗RBmが接続された状態になる。

【0020】

このような状態では、下記(1)式が成り立つ。

$$V_o \times R_{Bm} / (R_{Am} + R_{An} + R_{Bm}) = V_d \dots\dots\dots (1)$$

なお、前記(1)式において、RAm、RBm及びRAnは、抵抗RAm、RBm及びRAnの抵抗値をそれぞれ示している。

【 0 0 2 1 】

誤差増幅器 6 の反転入力端と非反転入力端の各電圧は、イマジナリショートによって同じになり、すなわち $V_d = V_r$ となる。このため、前記 (1) 式は、下記 (2) 式のようになる。

$$V_o = V_r \times (R_{Am} + R_{An} + R_{Bm}) / R_{Bm} \dots \dots \dots (2)$$

【 0 0 2 2 】

また、制御信号 SP_n がハイレベルになって制御信号 $SP_1 \sim SP_{n-1}$ がそれぞれローレベルになった場合、PMOS トランジスタ $QP_1 \sim QP_{n-1}$ はそれぞれオンして導通状態になると共に、NMOS トランジスタ QN_n がオンして導通状態になり NMOS トランジスタ $QN_1 \sim QN_{n-1}$ はそれぞれオフして遮断状態になる。このため、出力端子 OUT と出力端 15 との間には抵抗 R_{An} が接続され、出力端 15 と接地電圧との間に抵抗 R_{Bn} が接続された状態になる。

【 0 0 2 3 】

このような状態では、下記 (3) 式が成り立つ。

$$V_o \times R_{Bn} / (R_{An} + R_{Bn}) = V_d \dots \dots \dots (3)$$

なお、前記 (1) 式において、 R_{Bn} は、抵抗 R_{Bn} の抵抗値を示している。

【 0 0 2 4 】

誤差増幅器 6 の反転入力端と非反転入力端の各電圧は、イマジナリショートによって同じになり、すなわち $V_d = V_r$ となる。このため、前記 (3) 式は、下記 (4) 式のようになる。

$$V_o = V_r \times (R_{An} + R_{Bn}) / R_{Bn} \dots \dots \dots (4)$$

このように、電圧切換信号 Sc によって、前記 (2) 式及び (4) 式から得られる異なった出力電圧 V_o を選択することができる。

【 0 0 2 5 】

ここで、図 3 は、図 2 で $n = 2$ の場合における分圧回路 11 及び切換制御回路 12 の例を示した回路図である。

図 3 では、出力端子 OUT と出力端 15 との間に抵抗 RA_1 及び RA_2 が直列に接続され、抵抗 RA_1 には、PMOS トランジスタ QP_1 が並列に接続されている。また、出力端子 OUT と出力端 15 との間にはコンデンサ 16 が接続され

ている。

【 0 0 2 6 】

更に、出力端 1 5 と接地電圧との間には、抵抗 R B 1 及び R B 2 に N M O S トランジスタ Q N 1 及び Q N 2 が対応して直列に接続されてなる各直列回路がそれぞれ並列に接続されている。 P M O S トランジスタ Q P 1 及び N M O S トランジスタ Q N 1 の各ゲートには、インバータ 1 7 で構成された切換制御回路 1 2 からの制御信号 S P 1 として電圧切換信号 S c がそれぞれ入力されている。また、 N M O S トランジスタ Q N 2 のゲートには、インバータ 1 7 の出力信号で電圧切換信号 S c の信号レベルを反転させた制御信号 S P 2 が入力されている。

【 0 0 2 7 】

図 3 の場合、前記 (2) 式は下記 (5) 式のようになり、前記 (4) 式は下記 (6) 式のようになる。

$$V_o = V_r \times (R_{A1} + R_{A2} + R_{B1}) / R_{B1} \dots\dots\dots (5)$$

$$V_o = V_r \times (R_{A2} + R_{B2}) / R_{B2} \dots\dots\dots (6)$$

【 0 0 2 8 】

なお、図 1 において、基準電圧発生回路部 4、分圧回路部 5、誤差増幅器 6 及び制御回路部 7 を 1 つの I C に集積しており、場合によってはスイッチングトランジスタ 2 を含めて 1 つの I C に集積するようにしてもよい。また、図 1 のダイオード D 1 の代わりに N M O S トランジスタ 2 1 を使用してもよく、このようにした場合、図 1 の電源回路 1 は、図 4 のようになる。なお、図 4 では、図 1 と同じものは同じ符号で示しており、その説明を省略する。また、フライホイールダイオードの代わりに制御回路部 7 によって動作制御される N M O S トランジスタ 2 1 を使用することは公知であり、ここではその動作の説明を省略する。図 4 のようにした場合、スイッチングトランジスタ 2、基準電圧発生回路部 4、分圧回路部 5、誤差増幅器 6、制御回路部 7 及び N M O S トランジスタ 2 1 は、 1 つの I C に集積することができる。

【 0 0 2 9 】

また、図 1 では電源回路 1 として降圧型のスイッチングレギュレータを例にして説明したが、昇圧型のスイッチングレギュレータの場合は図 5 のようになる。

なお、図 5 では、図 1 と同じものは同じ符号で示しており、ここではその説明を省略し、図 1 との相違点のみ説明する。

図 5 において、電源回路 1 は、ゲートに入力される制御信号に応じてスイッチングを行う NMOS トランジスタからなるスイッチングトランジスタ 3 1 と、該スイッチングトランジスタ 3 1 からの出力信号を平滑して出力端子 OUT に出力する平滑回路部 3 2 と、基準電圧発生回路部 4 と、分圧回路部 5 と、誤差増幅器 6 と、該誤差増幅器 6 からの出力信号に応じて前記スイッチングトランジスタ 3 1 のスイッチング制御を行う制御回路部 3 3 とを備えている。

【 0 0 3 0 】

出力電圧 V_o は分圧回路部 5 で分圧され、該分圧電圧 V_d と基準電圧 V_r との差電圧を誤差増幅器 6 で増幅する。制御回路部 3 3 は、例えば三角波のパルス信号を発生させる発振回路とコンパレータとを備え、該発振回路の出力信号と誤差増幅器 6 の出力信号の各電圧を該コンパレータで比較し、コンパレータは、該比較結果に応じてスイッチングトランジスタ 3 1 のオン時間を制御する。スイッチングトランジスタ 3 1 から出力された信号は、整流ダイオードをなすダイオード D 2、コイル L 2 及びコンデンサ C 2 からなる平滑回路部 3 2 で平滑されて出力電圧 V_o として出力される。

【 0 0 3 1 】

このような構成の電源回路 1 において、基準電圧発生回路部 4、分圧回路部 5、誤差増幅器 6 及び制御回路部 3 3 を 1 つの IC に集積しており、場合によってはスイッチングトランジスタ 3 1 を含めて 1 つの IC に集積するようにしてもよい。

【 0 0 3 2 】

一方、前記説明では電源回路 1 がスイッチングレギュレータである場合を例にして説明したが、電源回路 1 がシリーズレギュレータであってもよく、この場合図 1 の電源回路 1 は、図 6 のようになる。なお、図 6 では、図 1 と同じものは同じ符号で示しており、ここではその説明を省略し、図 1 との相違点のみ説明する。

図 6 において、電源回路 1 は、基準電圧発生回路部 4 と、分圧回路部 5 と、誤

差増幅器 6 と、該誤差増幅器 6 からゲートに入力される電圧に応じた電流を出力端子 O U T に出力する P M O S トランジスタからなる出力制御用トランジスタ 4 1 と、出力端子 O U T から出力される電圧を安定させるためのコンデンサ 4 2 とを備えている。

【 0 0 3 3 】

出力電圧 V_o は、分圧回路部 5 で分圧され、該分圧電圧 V_d と基準電圧 V_r との差電圧を誤差増幅器 6 で増幅して出力制御用トランジスタ 4 1 のゲートに出力される。このように、誤差増幅器 6 は、出力制御用トランジスタ 4 1 の動作制御を行って、出力電圧 V_o が所望の電圧で一定になるようにしている。

このような構成の電源回路 1 において、基準電圧発生回路部 4、分圧回路部 5 及び誤差増幅器 6 を 1 つの I C に集積しており、場合によっては出力制御用トランジスタ 4 1 を含めて 1 つの I C に集積するようにしてもよい。

【 0 0 3 4 】

なお、前記説明では、分圧回路部 5 の切換制御回路 1 2 は、入力された電圧切換信号 S_c に応じて、P M O S トランジスタ $Q P 1 \sim Q P n - 1$ のいずれか 1 つを排他的にオフさせるか又はすべてオンさせると共に、N M O S トランジスタ $Q N 1 \sim Q N n$ のいずれか 1 つを排他的にオンさせるようにしたが、これは一例であり、入力された電圧切換信号 S_c に応じて、P M O S トランジスタ $Q P 1 \sim Q P n - 1$ の複数を同時にオフさせると共に、N M O S トランジスタ $Q N 1 \sim Q N n$ の複数を同時にオンさせるようにしてもよい。また、分圧回路部 5 の切換制御回路 1 2 は、入力された電圧切換信号 S_c に応じて、P M O S トランジスタ $Q P 1 \sim Q P n - 1$ のいずれか 1 つを排他的にオンさせるか又はすべてオフさせると共に、N M O S トランジスタ $Q N 1 \sim Q N n$ のいずれか 1 つを排他的にオフさせるようにしてもよい。

【 0 0 3 5 】

このように、本第 1 の実施の形態における電源回路は、出力電圧 V_o を分圧して分圧電圧 V_d を生成し出力する、帰還回路を形成した分圧回路部 5 が、外部からの電圧切換信号 S_c に応じて出力電圧 V_o に対する分圧比を変えて分圧電圧 V_d を生成して、出力電圧 V_o の電圧値を切り換えるようにした。すなわち、複数

の出力電圧値を外部から選択することができる構成にしたことにより、負荷側が要求する電源電圧値が変更になった場合でも電源回路を変更することなく、出力電圧値を容易に変えることができ、負荷に応じた電圧の電源を供給することができることから、電源回路自体の消費電力を低減させることができる。

【 0 0 3 6 】

また、NMOSトランジスタ $Q N 1 \sim Q N n$ がオフして遮断状態になると、該遮断状態になったNMOSトランジスタに接続された抵抗($R B 1 \sim R B n$)が遮断されることから、該抵抗が有する寄生容量を遮断することができ、位相設計等を容易に行うことができる。

【 0 0 3 7 】

第2の実施の形態。

次に、前記第1の実施の形態における電源回路1の分圧回路部5の回路構成を変えたものを本発明の第2の実施の形態とする。

図7は、本発明の第2の実施の形態における電源回路の例を示した回路図である。なお、図7では、図1と同じものは同じ符号で示しており、ここではその説明を省略する。また、図7では、スイッチングレギュレータからなるDC-DCコンバータで形成されている場合を例にして示している。

【 0 0 3 8 】

図7において、電源回路51は、スイッチングトランジスタ2と、平滑回路部3と、基準電圧発生回路部4と、出力端子OUTから出力される電圧 V_o を分圧して分圧電圧 V_d を生成し出力する分圧回路部52と、誤差増幅器6と、制御回路部7とを備えている。

分圧回路部52は、入力される制御信号に応じて分圧比を切り換えて分圧電圧 V_d を生成し出力する分圧回路61と、外部から入力される電圧切換信号 S_c に応じて該分圧回路61の分圧比の切換制御を行う切換制御回路62とを備えている。

【 0 0 3 9 】

図8は、分圧回路部52の回路例を示した図であり、図8を用いて分圧回路部52の動作例についてもう少し詳細に説明する。なお、図8では、図2と同じも

のは同じ符号で示している。

図 8 において、分圧回路 6 1 は、 n 個の抵抗 $RC_1 \sim RC_n$ 、直列に接続された n 個の抵抗 $RD_1 \sim RD_n$ 、 n 個の PMOS トランジスタ $QP_1 \sim QP_n$ 、 $(n-1)$ 個の NMOS トランジスタ $QN_1 \sim QN_{n-1}$ 及びコンデンサ 1 6 で構成されている。なお、図 8 では、抵抗 $RC_1 \sim RC_n$ が第 1 の抵抗回路をなし、抵抗 $RD_1 \sim RD_n$ が第 2 の抵抗回路をなすと共に、PMOS トランジスタ $QP_1 \sim QP_n$ が第 1 のスイッチ回路を、NMOS トランジスタ $QN_1 \sim QN_{n-1}$ が第 2 のスイッチ回路をなす。

【0040】

分圧回路 6 1 の出力端 6 5 と接地電圧との間には抵抗 $RD_1 \sim RD_n$ が直列に接続されており、抵抗 $RD_1 \sim RD_{n-1}$ には、対応する NMOS トランジスタ $QN_1 \sim QN_{n-1}$ がそれぞれ並列に接続されている。NMOS トランジスタ $QN_1 \sim QN_{n-1}$ の各ゲートには、切換制御回路 6 2 からの制御信号 $SN_1 \sim SN_{n-1}$ が対応して入力されている。また、出力端子 OUT と出力端 6 5 との間にはコンデンサ 1 6 が接続されている。更に、出力端子 OUT と出力端 6 5 との間には、抵抗 $RC_1 \sim RC_n$ に PMOS トランジスタ $QP_1 \sim QP_n$ が対応して直列に接続されてなる各直列回路がそれぞれ並列に接続されている。PMOS トランジスタ $QP_1 \sim QP_n$ の各ゲートには、切換制御回路 6 2 からの制御信号 $SN_1 \sim SN_n$ が対応して入力されている。

【0041】

切換制御回路 6 2 は、外部から入力された電圧切換信号 S_c に応じて制御信号 $SN_1 \sim SN_n$ のいずれか 1 つだけローレベルにして、他の制御信号はすべてハイレベルにする。例えば制御信号 SN_m ($m=1 \sim n-1$) がローレベルになってその他の制御信号がそれぞれハイレベルになった場合、PMOS トランジスタ $QP_1 \sim QP_n$ の内、PMOS トランジスタ QP_m のみオンして導通状態になると共に他の PMOS トランジスタはそれぞれオフして遮断状態になる。同時に、NMOS トランジスタ $QN_1 \sim QN_{n-1}$ の内、NMOS トランジスタ QN_m のみオフして遮断状態になると共に他の NMOS トランジスタはそれぞれオンして導通状態になる。このため、出力端子 OUT と出力端 6 5 との間には抵抗 RC_m

が接続され、出力端 6 5 と接地電圧との間に抵抗 R_{Dm} と抵抗 R_{Dn} が直列に接続された状態になる。

【 0 0 4 2 】

このような状態では、下記 (7) 式が成り立つ。

$$V_o \times (R_{Dm} + R_{Dn}) / (R_{Cm} + R_{Dm} + R_{Dn}) = V_d \dots\dots\dots (7)$$

なお、前記 (7) 式において、 R_{Cm} 、 R_{Dm} 及び R_{Dn} は、抵抗 R_{Cm} 、 R_{Dm} 及び R_{Dn} の抵抗値をそれぞれ示している。

【 0 0 4 3 】

誤差増幅器 6 の反転入力端と非反転入力端の各電圧は、イマジナリショートによって同じになり、すなわち $V_d = V_r$ となる。このため、前記 (7) 式は、下記 (8) 式のようにになる。

$$V_o = V_r \times (R_{Cm} + R_{Dm} + R_{Dn}) / (R_{Dm} + R_{Dn}) \dots\dots\dots (8)$$

【 0 0 4 4 】

また、制御信号 SN_n がローレベルになって制御信号 $SN_1 \sim SN_{n-1}$ がそれぞれハイレベルになった場合、PMOS トランジスタ $QP_1 \sim QP_{n-1}$ はそれぞれオフして遮断状態になり PMOS トランジスタ QP_n がオンして導通状態になると共に、NMOS トランジスタ $QN_1 \sim QN_{n-1}$ はそれぞれオンして導通状態になる。このため、出力端子 OUT と出力端 6 5 との間には抵抗 R_{Cn} が接続され、出力端 6 5 と接地電圧との間に抵抗 R_{Dn} が接続された状態になる。

【 0 0 4 5 】

このような状態では、下記 (9) 式が成り立つ。

$$V_o \times R_{Dn} / (R_{Cn} + R_{Dn}) = V_d \dots\dots\dots (9)$$

なお、前記 (9) 式において、 R_{Dn} は、抵抗 R_{Dn} の抵抗値を示している。

【 0 0 4 6 】

誤差増幅器 6 の反転入力端と非反転入力端の各電圧は、イマジナリショートによって同じになり、すなわち $V_d = V_r$ となる。このため、前記 (9) 式は、下記 (10) 式のようにになる。

$$V_o = V_r \times (R_{Cn} + R_{Dn}) / R_{Dn} \dots\dots\dots (10)$$

このように、電圧切換信号 Sc によって、前記 (8) 式及び (10) 式から得

られる異なった出力電圧 V_o を選択することができる。

【 0 0 4 7 】

ここで、図 9 は、図 8 で $n = 2$ の場合における分圧回路 6 1 及び切換制御回路 6 2 の例を示した回路図である。

図 9 では、出力端子 OUT と出力端 6 5 との間には、抵抗 RC 1 及び RC 2 に PMOS トランジスタ QP 1 及び QP 2 が対応して直列に接続されてなる各直列回路がそれぞれ並列に接続されている。また、出力端子 OUT と出力端 6 5 との間にはコンデンサ 1 6 が接続されている。更に、出力端 6 5 と接地電圧との間に抵抗 RD 1 及び RD 2 が直列に接続され、抵抗 RD 1 には、NMOS トランジスタ QN 1 が並列に接続されている。

【 0 0 4 8 】

PMOS トランジスタ QP 1 及び NMOS トランジスタ QN 1 の各ゲートには、インバータ 6 7 で構成された切換制御回路 6 2 からの制御信号 SN 1 として電圧切換信号 Sc がそれぞれ入力されている。また、PMOS トランジスタ QP 2 のゲートには、インバータ 6 7 の出力信号で電圧切換信号 Sc の信号レベルを反転させた制御信号 SN 2 が入力されている。

【 0 0 4 9 】

図 9 の場合、前記 (8) 式は下記 (1 1) 式のようになり、前記 (1 0) 式は下記 (1 2) 式ようになる。

$$V_o = V_r \times (RC1 + RD1 + RD2) / (RD1 + RD2) \dots\dots\dots (11)$$

$$V_o = V_r \times (RC2 + RD2) / RD2 \dots\dots\dots (12)$$

【 0 0 5 0 】

なお、図 7 において、基準電圧発生回路部 4、分圧回路部 5 2、誤差増幅器 6 及び制御回路部 7 を 1 つの IC に集積しており、場合によってはスイッチングトランジスタ 2 を含めて 1 つの IC に集積するようにしてもよい。また、図 7 のダイオード D 1 の代わりに NMOS トランジスタ 2 1 を使用してもよく、このようにした場合、図 7 の電源回路 5 1 は、図 4 の分圧回路部 5 を分圧回路部 5 2 に置き換える以外は図 4 と同様になる。この場合、スイッチングトランジスタ 2、基準電圧発生回路部 4、分圧回路部 5 2、誤差増幅器 6、制御回路部 7 及び NMO

Sトランジスタ21は、1つのICに集積することができる。

【0051】

また、図7では電源回路51として降圧型のスイッチングレギュレータを例にして説明したが、昇圧型のスイッチングレギュレータの場合は、図5の分圧回路部5を分圧回路部52に置き換える以外は図5と同様になる。このような構成の電源回路51において、基準電圧発生回路部4、分圧回路部52、誤差増幅器6及び制御回路部33を1つのICに集積しており、場合によってはスイッチングトランジスタ31を含めて1つのICに集積するようにしてもよい。

【0052】

一方、前記説明では電源回路51がスイッチングレギュレータである場合を例にして説明したが、電源回路51がシリーズレギュレータであってもよく、この場合図7の電源回路51は、図6の分圧回路部5を分圧回路部52に置き換える以外は図6と同様になる。このような構成の電源回路51において、基準電圧発生回路部4、分圧回路部52及び誤差増幅器6を1つのICに集積しており、場合によっては出力制御用トランジスタ41を含めて1つのICに集積するようにしてもよい。

【0053】

なお、前記説明では、分圧回路部52の切換制御回路62は、入力された電圧切換信号Scに応じて、PMOSトランジスタQP1～QPnのいずれか1つを排他的にオンさせると共に、NMOSトランジスタQN1～QNn-1のいずれか1つを排他的にオフさせるか又はすべてオンさせるようにしたが、これは一例であり、入力された電圧切換信号Scに応じて、PMOSトランジスタQP1～QPnの複数を同時にオンさせると共に、NMOSトランジスタQN1～QNn-1の複数を同時にオフさせるようにしてもよい。また、分圧回路部52の切換制御回路62は、入力された電圧切換信号Scに応じて、PMOSトランジスタQP1～QPnのいずれか1つを排他的にオフさせると共に、NMOSトランジスタQN1～QNn-1のいずれか1つを排他的にオンさせるか又はすべてオフさせるようにしてもよい。

【0054】

このように、本第 2 の実施の形態における電源回路は、出力電圧 V_o を分圧して分圧電圧 V_d を生成し出力する、帰還回路を形成した分圧回路部 5 2 が、外部からの電圧切換信号 S_c に応じて出力電圧 V_o に対する分圧比を変えて分圧電圧 V_d を生成するようにした。このことから、前記第 1 の実施の形態と同様の効果を得ることができると共に、PMOS トランジスタ $Q_{P1} \sim Q_{Pn}$ がオフして遮断状態になると、該遮断状態になった PMOS トランジスタに接続された抵抗 ($R_{C1} \sim R_{Cn}$) が遮断されることから、該抵抗が有する寄生容量を遮断することができ、位相設計等を容易に行うことができる。

【0055】

【発明の効果】

上記の説明から明らかなように、本発明の電源回路によれば、出力端子から出力される電圧を分圧した分圧電圧を生成し出力する、帰還回路を形成した分圧回路部が、外部から入力される信号に応じて出力端子から出力される電圧に対する分圧比を変えて該分圧電圧を生成するようにした。すなわち、複数の出力電圧値を外部から選択することができる構成にしたことにより、負荷側が要求する電源電圧値が変更になった場合でも電源回路を変更することなく、出力電圧値を容易に変えることができ、負荷に応じた電圧の電源を供給することができることから、電源回路自体の消費電力を低減させることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態における電源回路の例を示した回路図である。

【図 2】 図 1 の分圧回路部 5 の回路例を示した図である。

【図 3】 $n = 2$ の場合における分圧回路 1 1 及び切換制御回路 1 2 の例を示した回路図である。

【図 4】 本発明の第 1 の実施の形態における電源回路の他の例を示した回路図である。

【図 5】 本発明の第 1 の実施の形態における電源回路の他の例を示した回路図である。

【図 6】 本発明の第 1 の実施の形態における電源回路の他の例を示した回

路図である。

【図 7】 本発明の第 2 の実施の形態における電源回路の例を示した回路図である。

【図 8】 図 7 の分圧回路部 5 2 の回路例を示した図である。

【図 9】 $n = 2$ の場合における分圧回路 6 1 及び切換制御回路 6 2 の例を示した回路図である。

【図 1 0】 従来の電源回路の例を示した回路図である。

【符号の説明】

1, 5 1 電源回路

2, 3 1 スイッチングトランジスタ

3, 3 2 平滑回路部

4 基準電圧発生回路部

5, 5 2 分圧回路部

6 誤差増幅器

7, 3 3 制御回路部

1 0 直流電源

1 1, 6 1 分圧回路

1 2, 6 2 切換制御回路

4 1 出力制御用トランジスタ

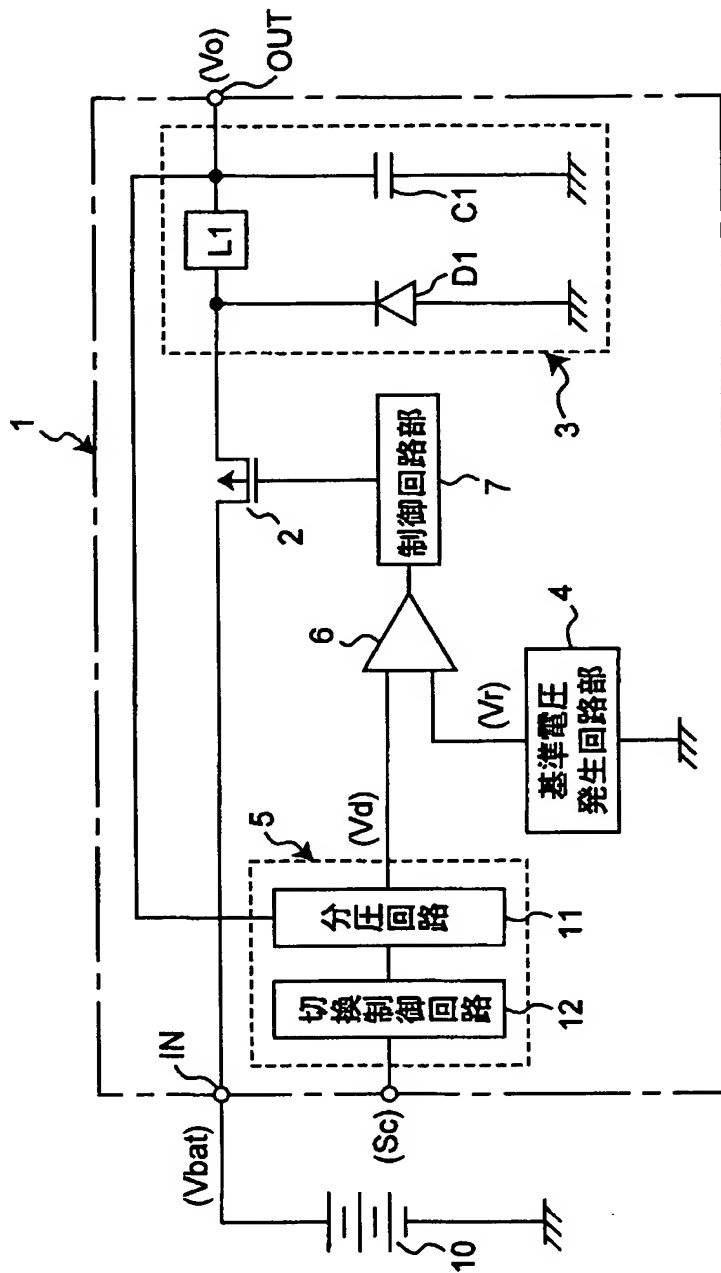
Q P 1 ~ Q P n PMOS トランジスタ

Q N 1 ~ Q N n NMOS トランジスタ

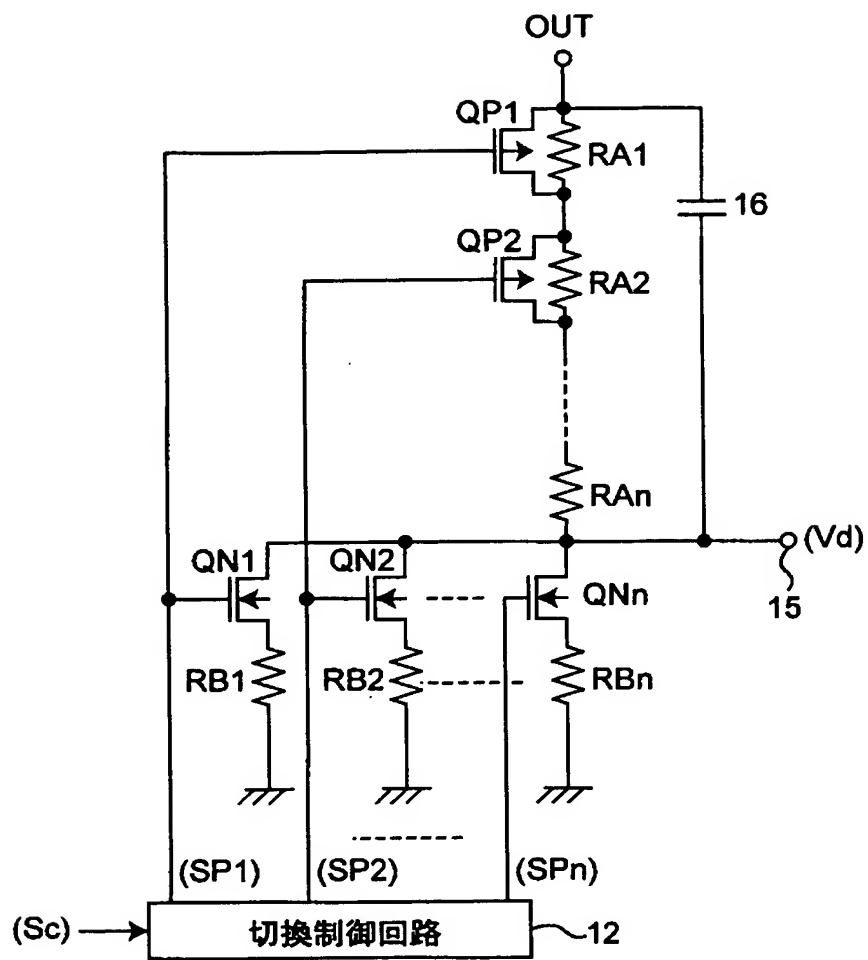
R A 1 ~ R A n, R B 1 ~ R B n, R C 1 ~ R C n, R D 1 ~ R D n 抵抗

【書類名】 図面

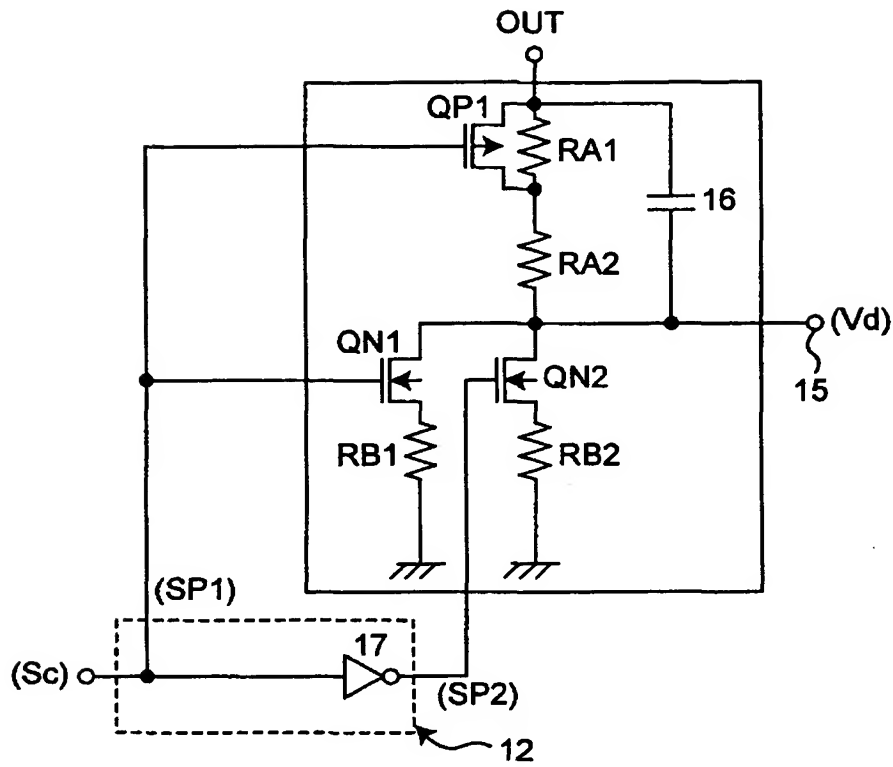
【図 1】



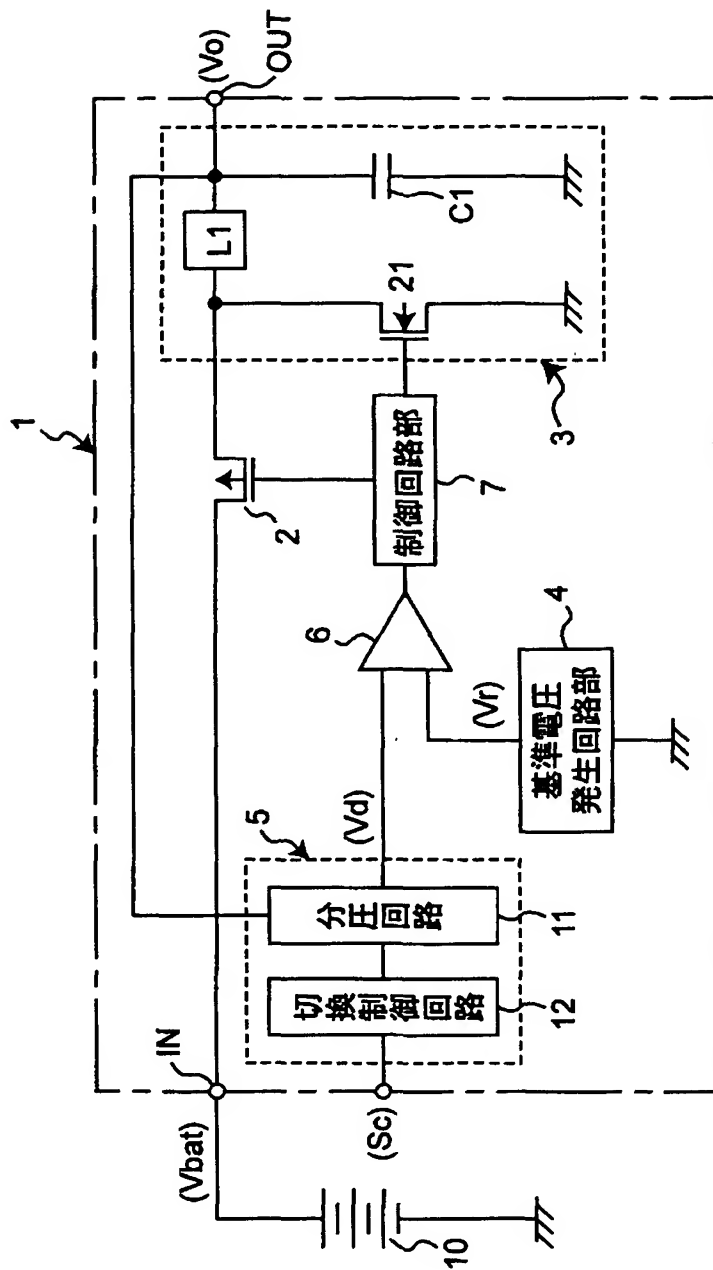
【図 2】



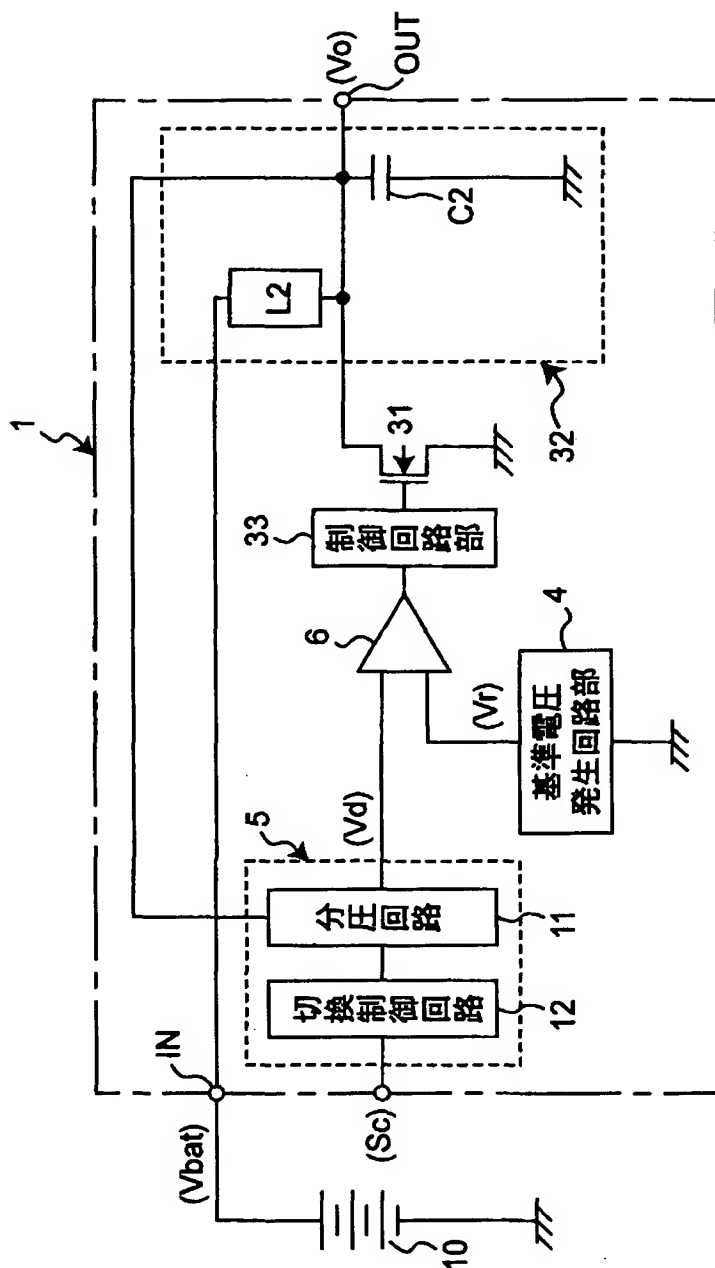
【図 3】



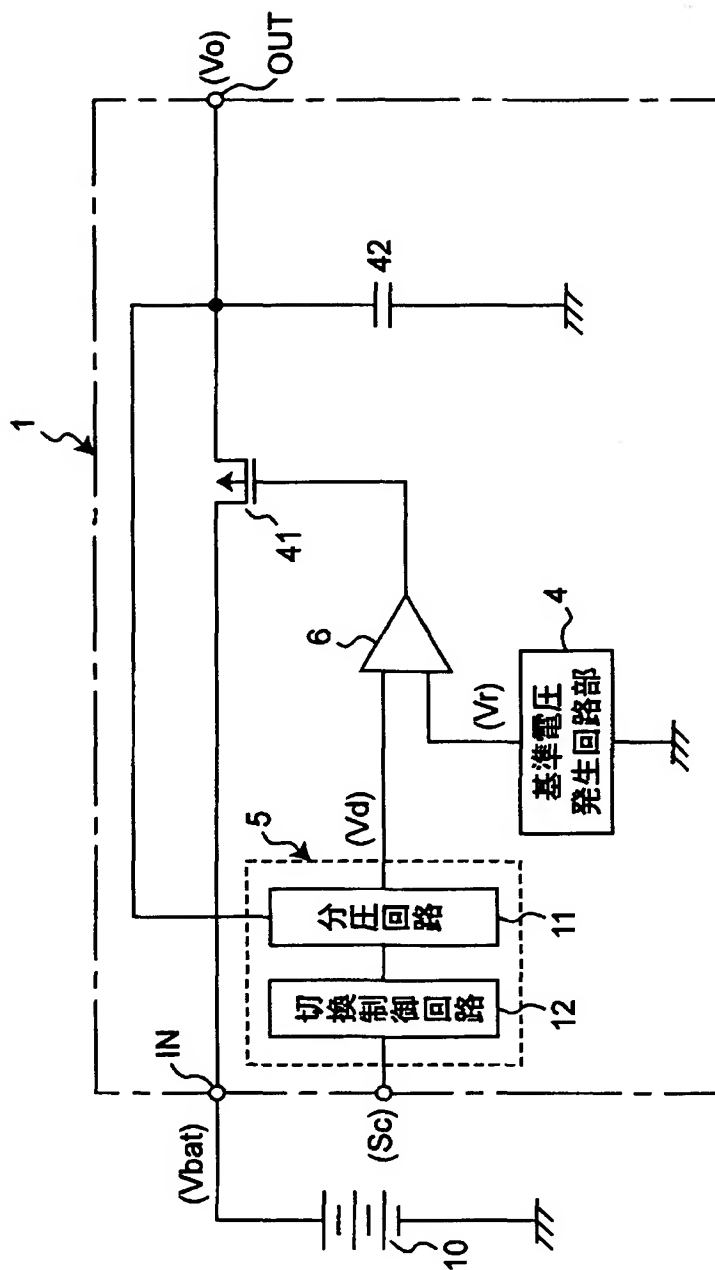
【図4】



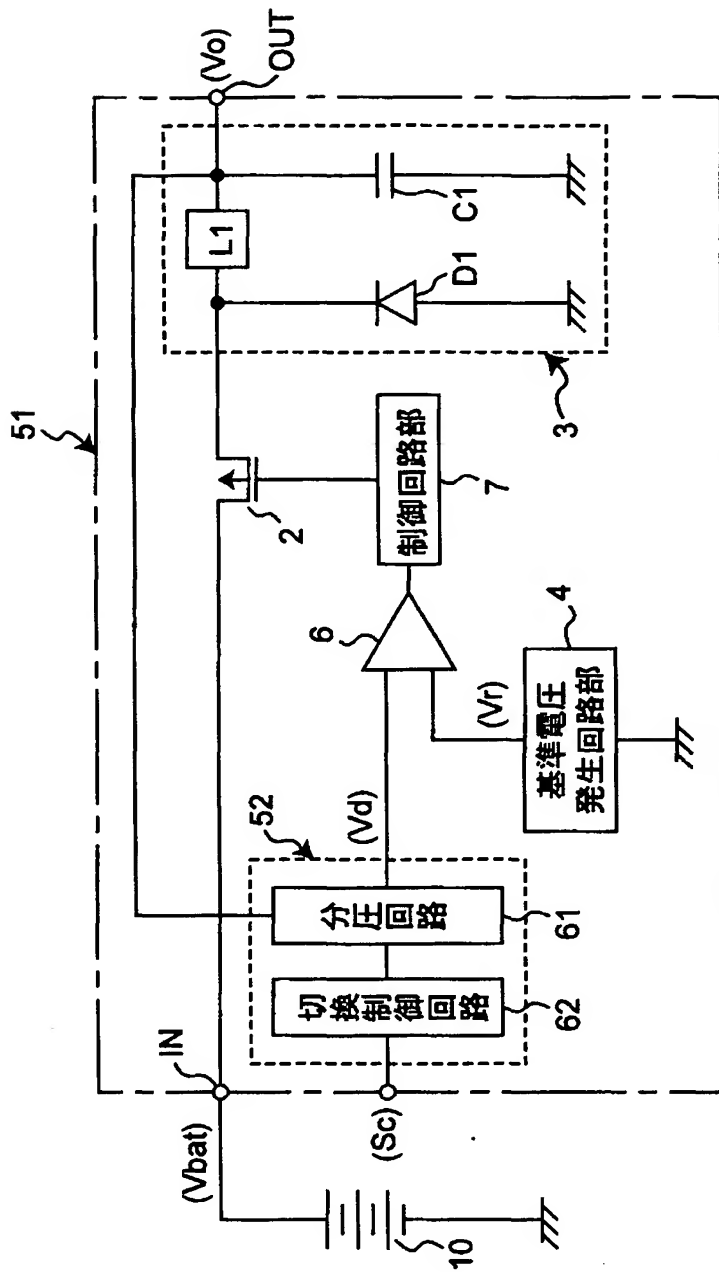
【図 5】



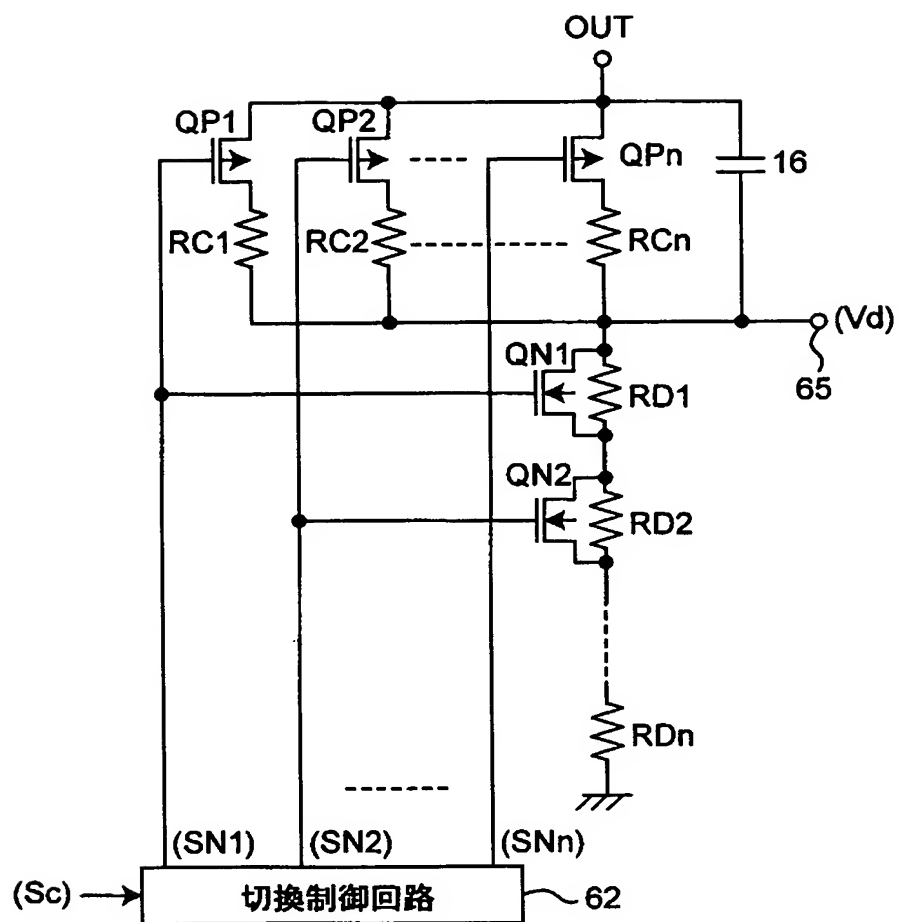
【図 6】



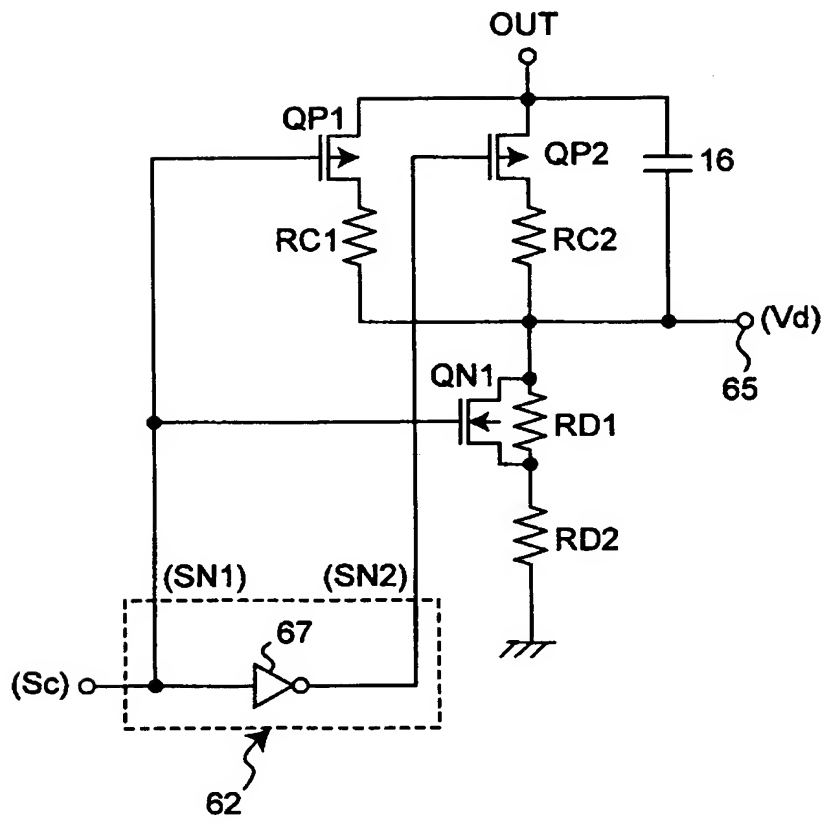
【図 7】



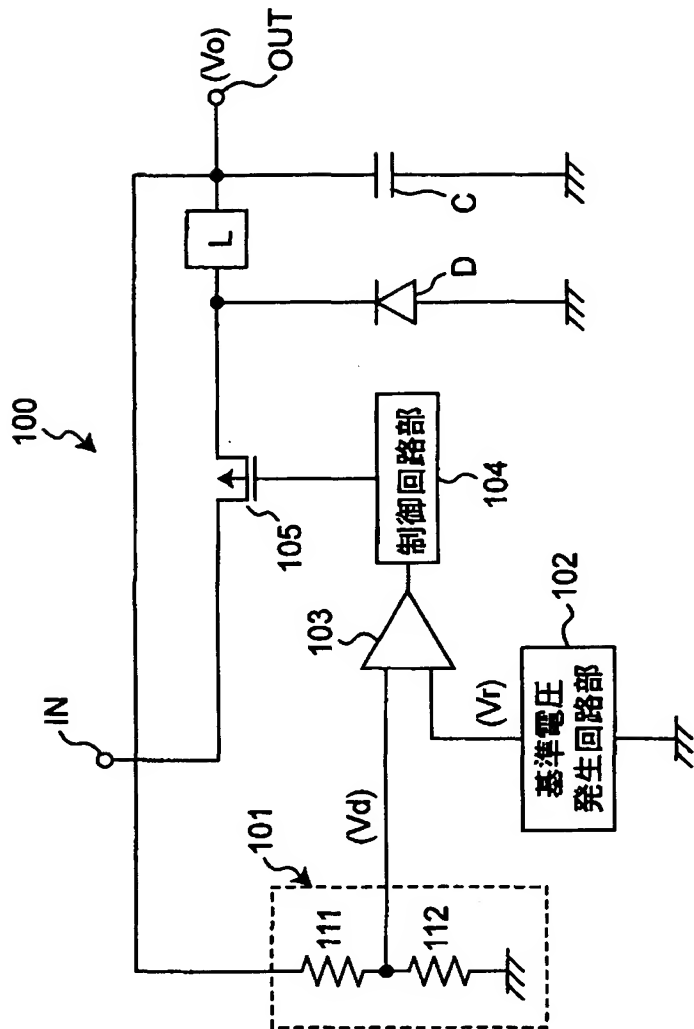
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 電源回路自体の消費電力を低減させることができ、複数の出力電圧値を外部から選択することができる構成にしたことにより、負荷側が要求する電源電圧値が変更になった場合でも電源回路を変更することなく、出力電圧値を選ぶことができるDC-DCコンバータで構成された電源回路を得る。

【解決手段】 出力電圧 V_o を分圧して分圧電圧 V_d を生成し出力する、帰還回路を形成した分圧回路部5が、外部からの電圧切換信号 S_c に応じて出力電圧 V_o に対する分圧比を変えて分圧電圧 V_d を生成して、出力電圧 V_o の電圧値を切り換えるようにした。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日	2002年 5月17日
[変更理由]	住所変更
住 所	東京都大田区中馬込1丁目3番6号
氏 名	株式会社リコー